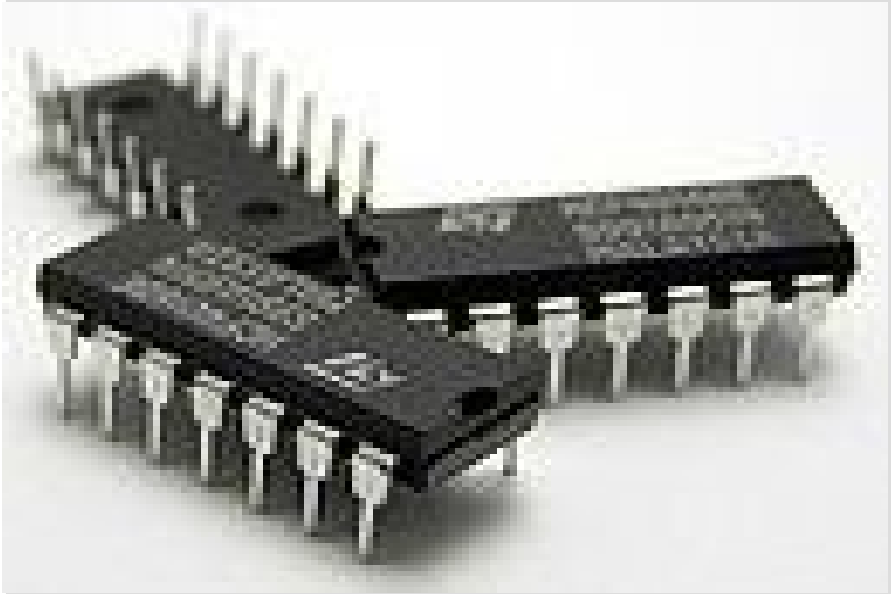
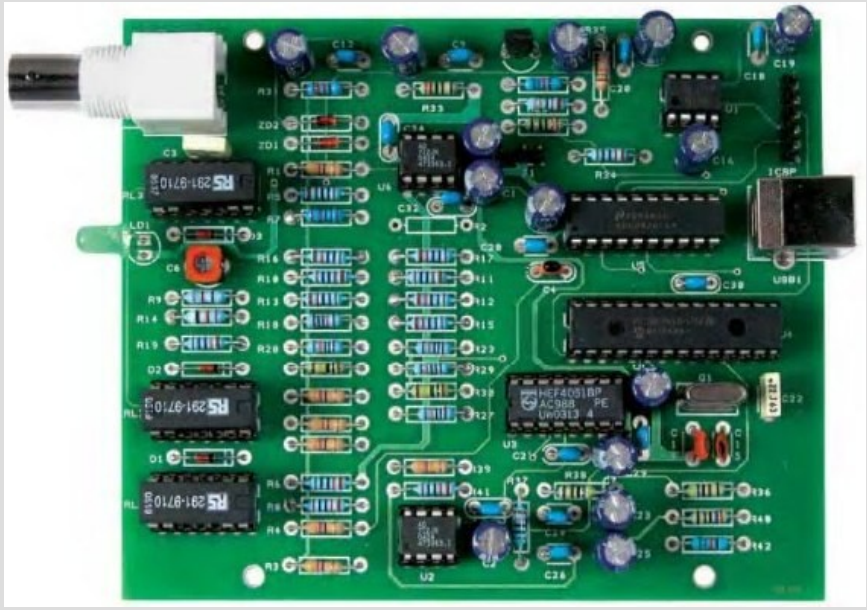




العناصر المنطقية في الدارات المدمجة

ا / تكنولوجيا الدارات المندمجة المنطقية (TTL - CMOS)

إشكالية:

إن أهم التكنولوجيات المستعملة لإنجاز الأنظمة الآلية والتحكم فيها تنحصر في ثلاثة تكنولوجيات فقط هي:

التكنولوجيا الكهربائية أو التكنولوجيا الإلكترونية أو التكنولوجيا الهوائية

الجدول التالي يوضح أهم <u>ميزات وسلبيات</u> هذه التكنولوجيات:

نوع التكنولوجيا	زمن الاستجابة	الاستطاعة	سهولة التشغيل	الوضائف الموجودة	التوفر	السعر	الاستطاعة المنتجة	الطاقة المستعملة
الهوائية	3ms	من 2bar إلى 8bar	الربط معقد	OU , ET, OUI, NON	قليلة	مكلف	200 L/ min	كهربائية = أو ~
الكهربائية	CC: 0.2s من: CA 0.75s إلى 60s	من 1.5W إلى 2W	أقل تعقيد	OU , ET, OUI, NON	قليلة	متوسط التكلفة	مغلوق للتمرير أو مفتوح للتمرير	كهربائية = أو ~

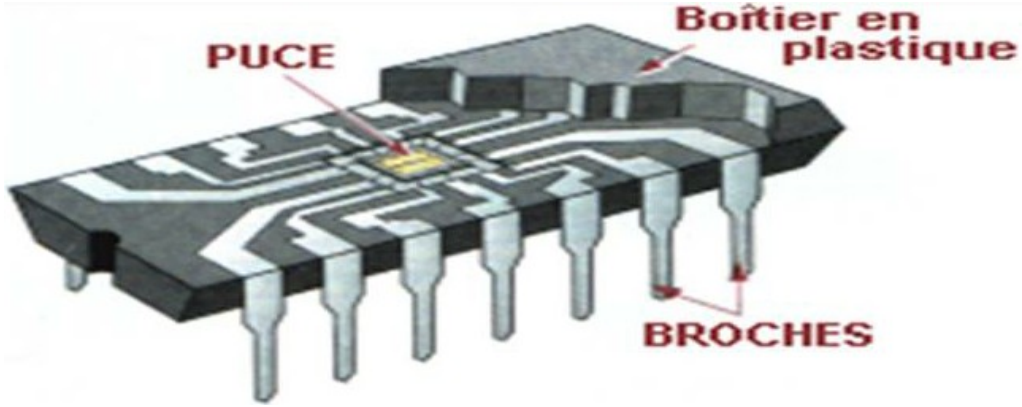
نستعمل التكنولوجيا الإلكترونية بدلا من الصغر في جميع التكنولوجيات الأخرى وذلك لسرعة وكذلك قلة استطاعتها وكلفتها استجابتها المستهلكة.

وقد كانت بداية التكنولوجيا المعتمدة في تركيب الدارات المنطقية ثم الدارات المتكاملة حيث أصبحت تستعمل تقنية الدارات المندمجة. وقد تم إنتاجها لأول مرة بالولايات المتحدة في عام 1958.

1/ تعريف الدارة المندمجة:

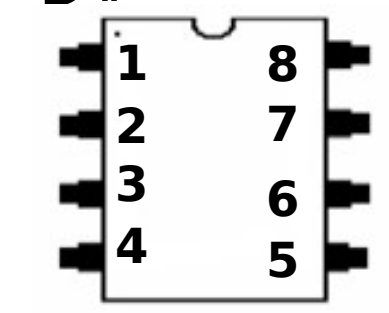
عبارة عن رقاقة مصغيرة من ..... تدعى .....ذات بضع المليمترات المُربعة، تحتوي بداخلها على مجموعة من المركبات الإلكترونية (مقاومات، ثنائيات، مقاحل و في بعض الأحيان مكثفات)، توضع داخل علبة من البلاستيك أو السيراميك تكون موصولة خارجيا بأقطاب يتراوح عددها بين 8 و 64 قطب

أحادي بلورة السيليسيوم PUCE



ملاحظة:

في أحد طرفي الدارة حفرة صغيرة المندجة نجد



تفيدنا في موقع القطب الأول و معرفة بالتالي بقية الأقطاب .

حيث القطب دائما نجده يسار الحفرة أن الأول على

أما باقي الأقطاب فنتعرف عليها بالاتجاه عكس عقارب الساعة انطلاقا من القطب الأول .

تصنيف الدارات المندمجة :

ت المندمجة حسب عدد المركبات المدمجة في cm^2. و يمكن تمييز الأن

SSI (Single Scale Integration) intégration à faible échelon:

من 10 بوابات منطقية (حوالي 100 مقحل في cm^2)

MSI (Medium Scale Integration) intégration à moyenne échelon :

ن 10 و 100 بوابة منطقية (حوالي 1000 مقحل في cm^2)

LSI (Large Scale Integration) intégration à grande echelon :

10 الى 1000 بوابة منطقية (من 10^4 إلى 10^5 مقحل في cm^2)

VLSI (Very Large Scale Integration) intégration à très gra

ما يفوق 1000 بوابة منطقية (من 10^5 إلى 10^6 مقحل في cm^2)

عائلات الدارات المندمجة

توجد عدة عائلات للدارات المندمجة ، و ذلك حسب تكنولوجية صناعتها ، من بين العائلات الأكثر استعمالا و معروفة تجاريا:

TTL و CMOS

- **TTL :** مقحل مقحل منـ (Transistor Transistor Logic)

تعتبر أشهر العائلات المنطقية وأكثرها استعمالا وأقلها تكلفة، وتعتمد في صناعتها على تكنولوجيا المقاحل **ثنائية القطب «Bipolaire»**

- **CMOS:** (Complementary Metal Oxyde Semiconducteur)

معدن أكسيد شبه ناقل مكمل

تختلف العائلة ***CMOS*** عن عائلة **TTL** من الناحية التكنولوجية، حيث تعتمد في صناعتها على مقاحل من نوع: **MOSFET**

التسمية المستعملة في الدارات المندمجة

العائلة TTL

SN **7 4** **00** **N**

- **SN** ← الصانع
- **7 4** ← السلسلة TTL
- **7 4** ← درجة الحرارة
  - **7 = 0° à 70°.**
  - **5 = -55° à 125°**
- **00** ← عمل الدارة
- **N** ← نوع العلبة

SN	TEXAS
MC	MOTOROLA
USN	SPRAGUE
SFC	SESCO COSEM

العائلة CMOS

MC **40** **00**

- **MC** ← الصانع
- **40** ← CMOS
- **00** ← عمل الدارة

L	SOLID STATE SCIENTIFIC MOTOROLA
	MOTOROLA
	ou TP TEXAS
	NATIONAL SEMICONDUCTOR

ن الرئيسية للدارات المندمجة الكترونية :

1.4 / توتر التغذية : (Tension d'alimentation) منها:

المستوى المنطقي « 0 (Low :L)» و « 1 (High :H) » لا يُناسب توترا مُعينا لكن مجالا توتريا.

نسمي قيم توترات الدخول بـ « Input (In) ».

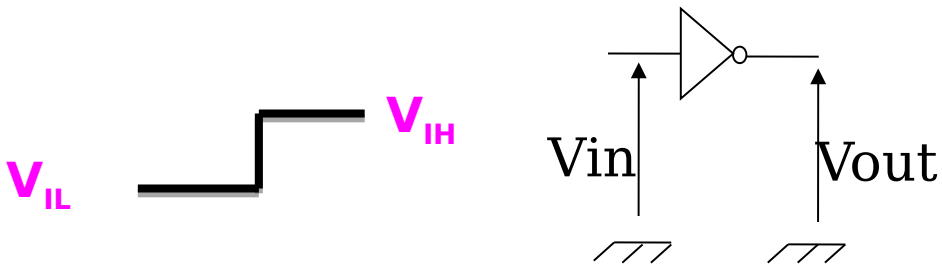
V_{IH} : هو توتر الدخول للمستوى المنطقي الأعلى

V_{IL} : توتر الدخول للمستوى المنطقي الأدنى

نسمي قيم توترات الخروج بـ: « Output (Out) ».

V_{OH} : توتر الخروج في الحالة المنطقية العليا

V_{OL} : توتر الخروج في الحالة المنطقية الدنيا



توتر الخروج		توتر الدخول		التغذية Vcc	العائلة
V_{OHmim}	V_{OLmax}	V_{IHmim}	V_{ILmax}		
2.4V	0.4V	2V	0.8V	5V ± 5%	TTL
0.95V	0.05V	0.55V	0.45V	3V من إلى 15V	CMOS

ملاحظة

نرمز: - توتر التغذية بالنسبة لـ TTL هو V_{cc}

و- للهيكل بالنسبة لـ TTL هو GND و CMOS هو V_{dd}

V_{ss} هو CMOS

2.4 / الاستطاعة الممتصة : (Puissance absorbée)

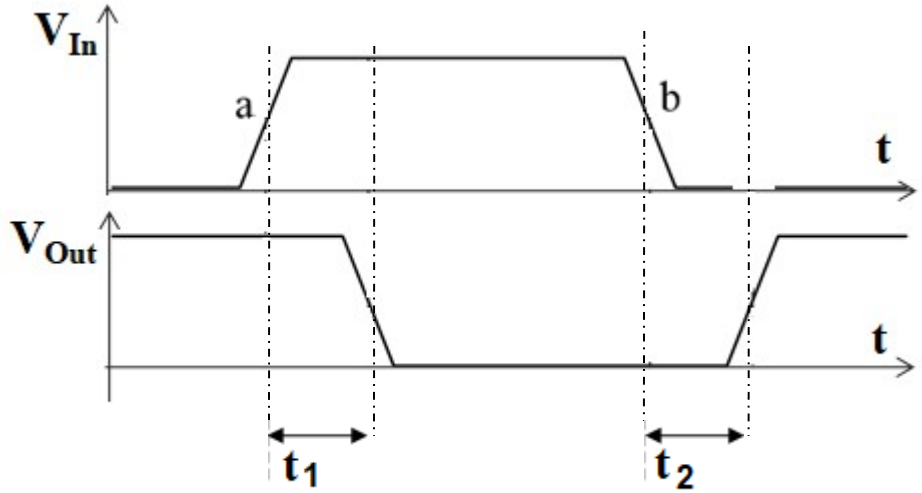
هي الاستطاعة المتوسطة المستهلكة من طرف الدارة المندمجة ، تختلف حسب العملية المنجزة و المستوى المنطقي المطبق.

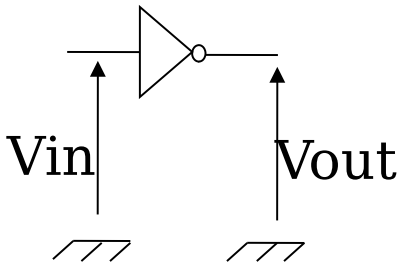
3.4 / زمن انتشار الإشارة : (Temps de propagation)

هو زمن تأخير استجابة المخرج المنطقي، عندما يتغير مدخله.

رنا بوابة عاكسة من عائلة TTL فإن :

- t_1: **زمن تأخير لكي يمر من المستوى المنطقي 1 إلى 0.**
- t_2: **زمن تأخير لكي يمر من المستوى المنطقي 0 إلى 1.**





1.5 / العائلة المنطقية

نجد :

TTL Standard : 74XX

TTL low power 74LXX : سلسلة ذات استهلاك مرتفع و سرعة ضعيفة

TTL schottky : 74SXX سلسلة ذات استهلاك ضعيف و لكن زمن انتشار طويل

TTL low power schottky : 74LSXX سلسلة سريعة مصنوعة من مقاحل schottky و لكن تتميز باستهلاكها الكبير للتيار

74FXX TTL: fast سلسلة سريعة مصنوعة من مقاحل *schottky* ذات استهلاك طاقة أقل

74ASXX TTL advanced : schottky تتميز بسرعة أكبر و استهلاك طاقة أقل من السلاسل السابقة

74ALSXX :TTL advanced low power schottky تكنولوجيا متقدمة تتميز باستهلاكها الأقل للطاقة من كل السلاسل السابقة لكنها أقل سرعة من السلسلة F

L : استهلاك ضعيف للطاقة

S : مصنوعة من مقاحل Schottky

ختلف التكنولوجيات للعائلات المنطقية

2.5 / العائلة المنطقية "CMOS"

نجد السلسلة : 40XX

السلسلة الكلاسيكية : 74XXC

السلسلة السريعة : 74HC ، 74HCT ، 74AHC ، 74AHCT

السلسلة ذات التوتر المنخفض (Low Voltage)، من 1.2V إلى 3.6V : نجد 74LV.

HC: Higt-Speed CMOS Logic

HCT: Higt-Speed CMOS Logic compatible TTL

AHC: Advanced Higt-Speed CMOS Logic

AHCT: Advanced Higt-Speed CMOS Logic compatible TTL

LV: Low Voltage HCMOS Technology

جدول مقارنة بين العائلة TTL و CMOS

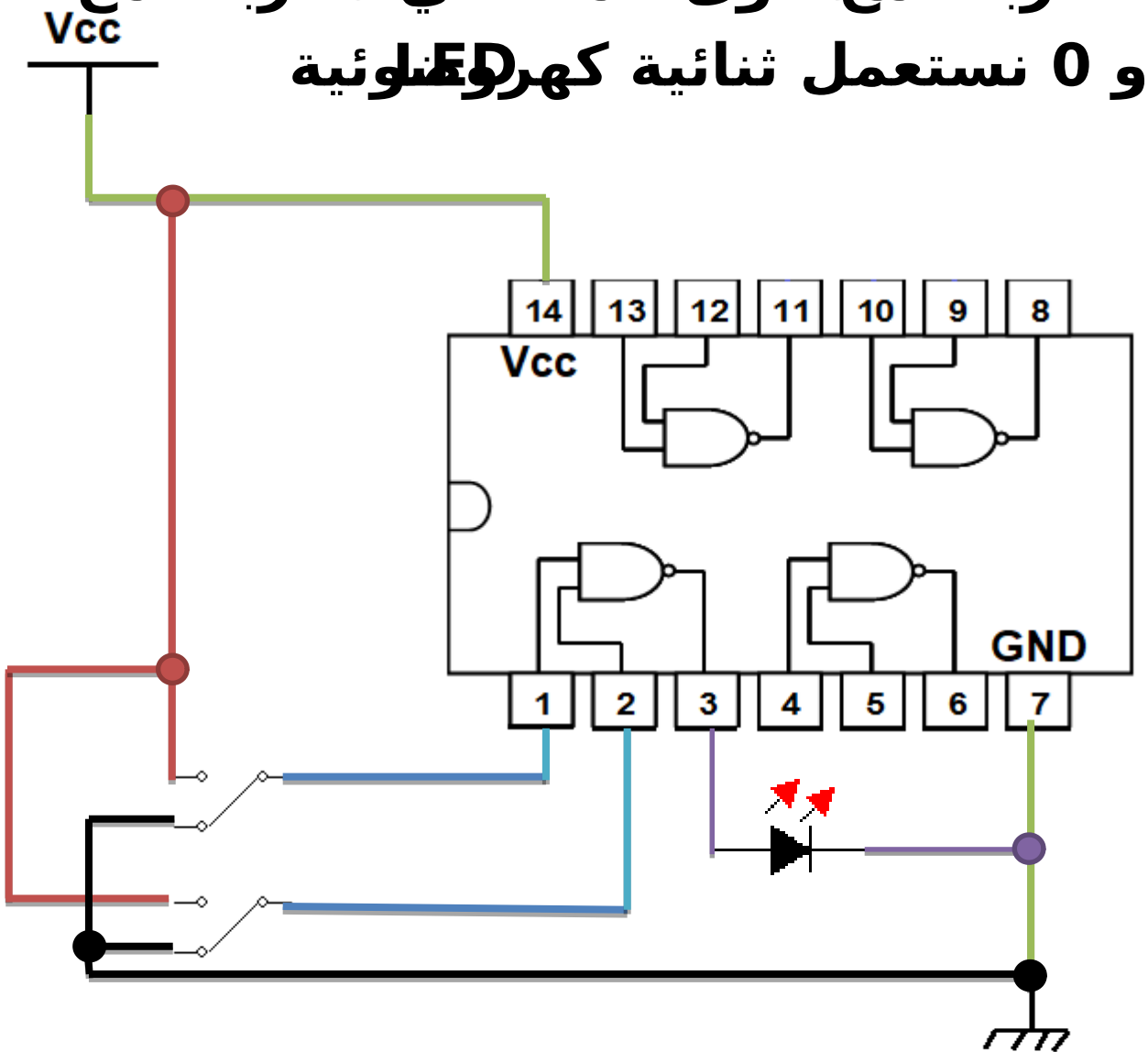
FAMILLE	زمن الانتشار nS	الاستطاعة المستهلكة mW	التواتر MHz
TTL standard	10	10	25
TTL H	6	10	43
TTL L	35	1	3
TTL S	3	10	110
TTL LS	10	2	33
CMOS 5 V	40	100 nW	8
CMOS 10 V	20	10 nW	16

تطبيق : نقوم بتغذية الدارة المندمجة

م في المدخلين 1 و 2 نستعمل مبدلين

مستوى المنطقي 1 نربط ... مستوى المنطقي 0 نربط ... مع

المخرج يساوي 1 أو 0 نستعمل ثنائية كهروضوئية LED



باستعمال برنامج التقليد Multisim قم بحجز التركيب ثم راقب التشغيل

II / الـجامـع

نشاط 1 : ليكن العددين التاليين :

$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

الحل :

انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2، لا نأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

جدول الحقيقة :

a_2	b_2	S_2	r_2
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

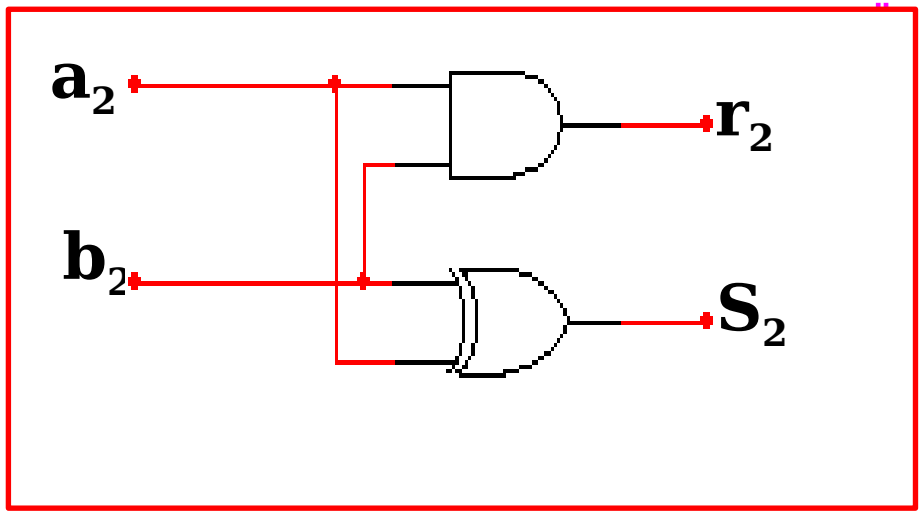
المعادلات :

$$S_2 = \bar{a}_2.b_2 + a_2.\bar{b}_2$$

$$S_2 = a_2 \oplus b_2$$

$$r_2 = a_2.b_2$$

التصميم المنطقي :



demi-add.ms13

نسمي العملية السابقة بالنصف جامع : و الذي يحقق الجمع المنطقي لعددين A و B من أجل بيت (Bit) واحد فقط بدون الأخذ بعين الاعتبار الإحتفاظ من الرتبة السابقة

بصفة عامة :

نشاط 2 : من أجل نفس العددين السابقين :

$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

الحل : انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2، مع الأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة r_{i-1}

r_4	r_3	r_2	r_1	$r_0 = 0$
	a_4	a_3	a_2	a_1
+	b_4	b_3	b_2	b_1
r_4	s_4	s_3	s_2	s_1

r_{i-1}	
	a_i
+	b_i
r_i	s_i

جدول الحقيقة :

a_2	b_2	r_1	S_2	r_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

المعادلات :

S_2

a_2 \ b_2r_1	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S_2 = \bar{a}_2(\bar{b}_2.r_1 + b_2.\bar{r}_1) + a_2(\bar{b}_2.\bar{r}_1 + b_2.r_1)$$

$$S_2 = a_2 \oplus b_2 \oplus r_1$$

r_2

a_2 \ b_2r_1	00	01	11	10
0	0	0	1	0
1	0	1	1	1

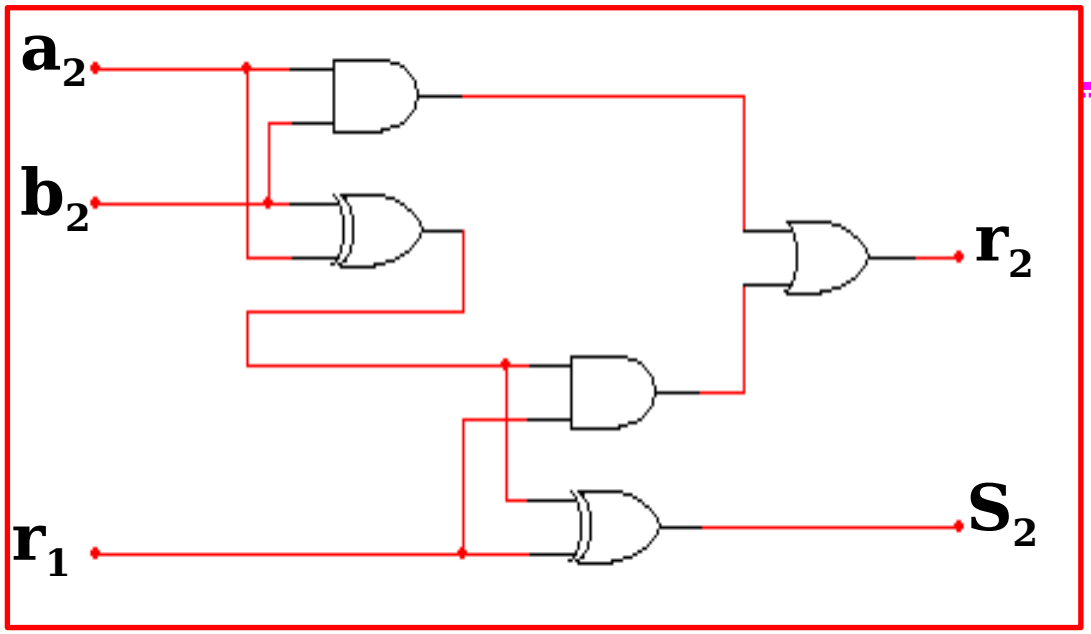
$$r_2 = r_1(a_2 + b_2) + a_2.b_2$$

$$r_2 = \bar{a}_2.b_2.r_1 + a_2.\bar{b}_2.r_1 + a_2.b_2.\bar{r}_1 + a_2.b_2.r_1$$

$$r_2 = r_1(\bar{a}_2.b_2 + a_2.\bar{b}_2) + a_2.b_2(\bar{r}_1 + r_1)$$

$$r_2 = r_1(a_2 \oplus b_2) + a_2.b_2$$

التصميم المنطقي

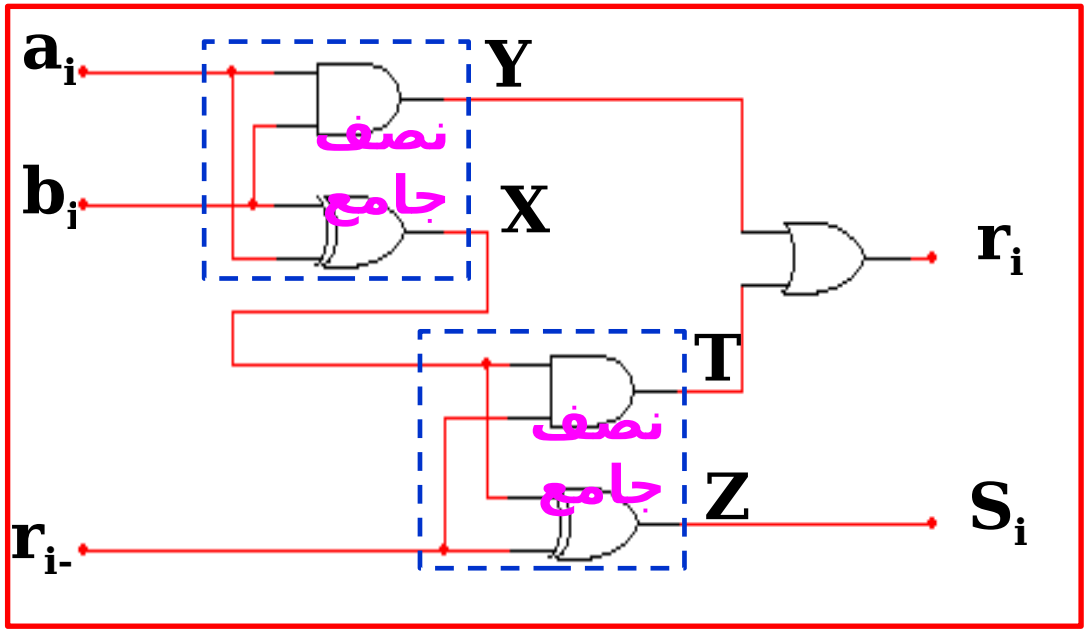


add-comp.ms13

نسمي العملية السابقة بـالجامع الكامل : و الذي يحقق الجمع المنطقي لعددين A و B من أجل n بيت مع الأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة بصفة عامة :

نشاط 3 نريد انجاز جامع كامل

الحل : انطلاقا من نصف جامع:

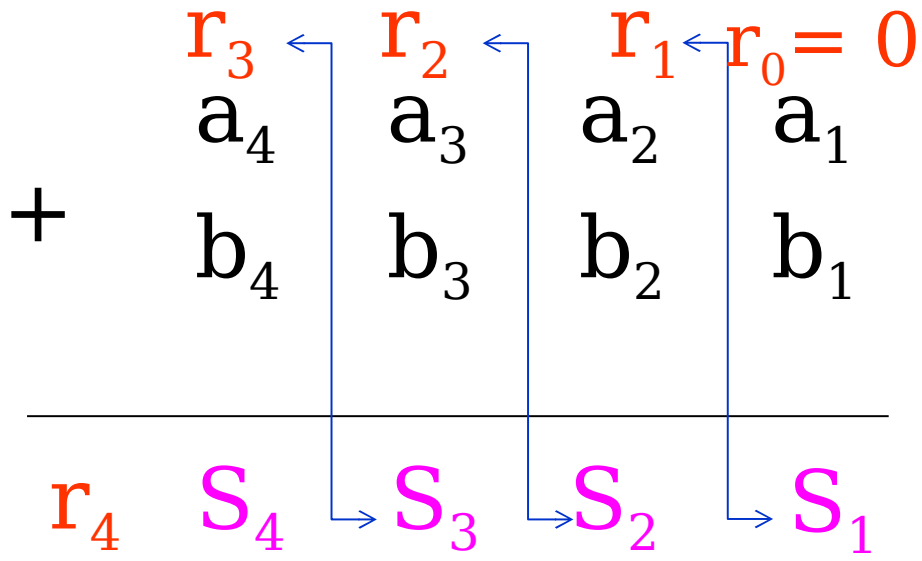


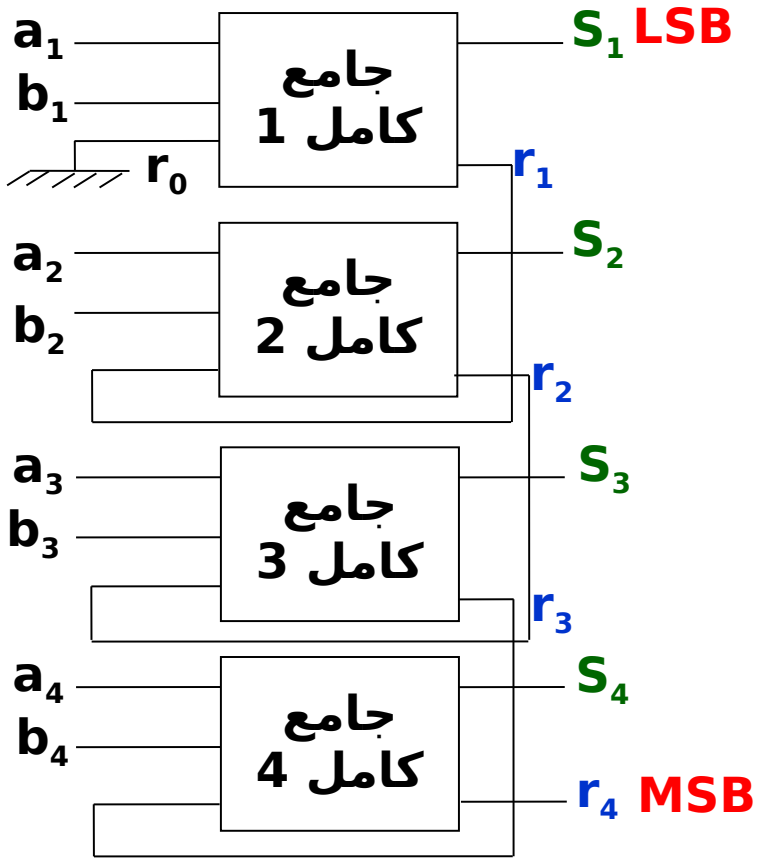
نشاط 4: من أجل نفس العددين السابقين :

$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

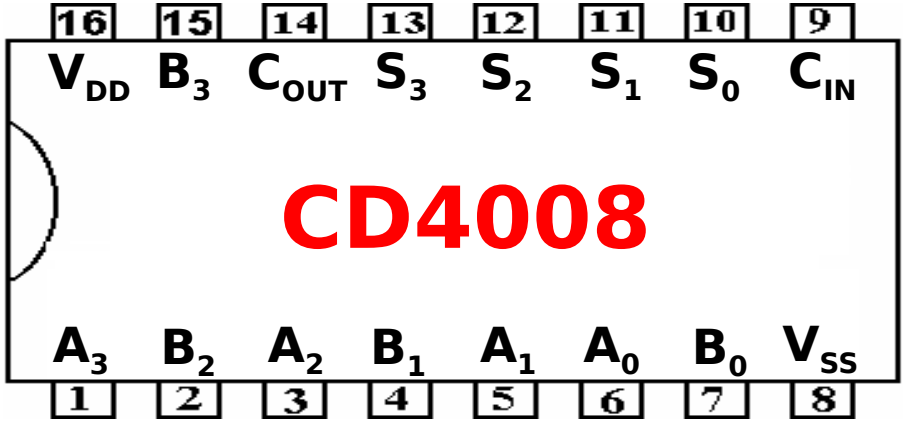
الحل : نريد انجاز التصميم الالكتروني الذي يمكننا من جمع العددين A و B ، ماهي الطريقة التي تمكننا من ذلك ؟

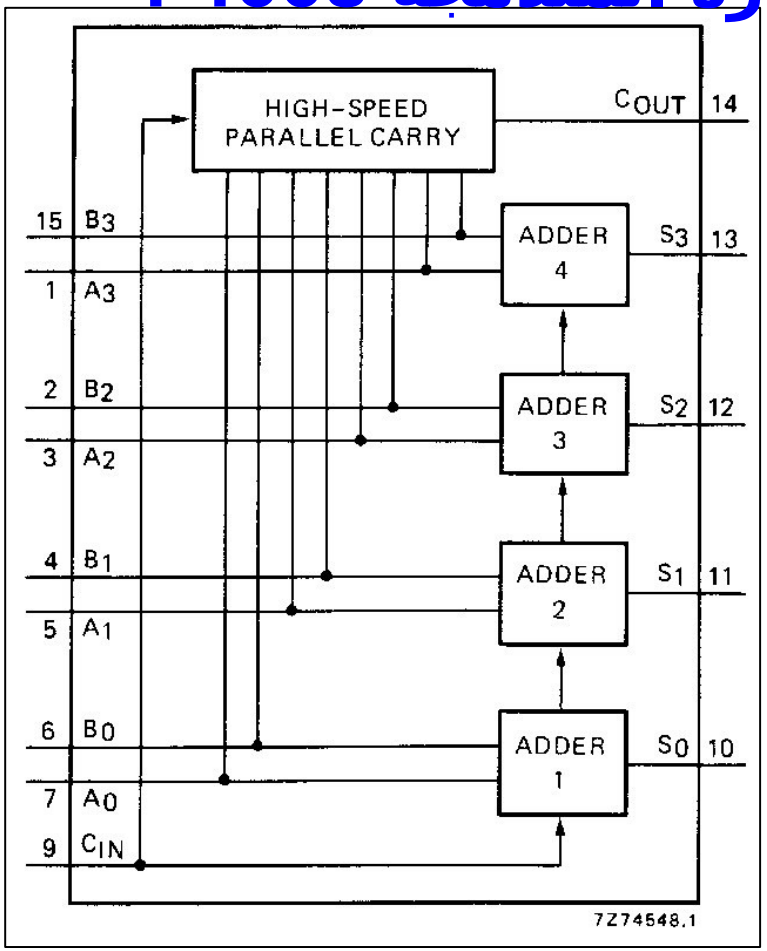




هناك حل تكنولوجي آخر و هو استعمال الدارة المدمجة : SN7483 أو CD4008

دارة المندمجة 4008 :





INPUTS			OUTPUTS	
C_{IN}	A	B	C_{OUT}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- A ، (B_0 , المدخل : (A_0 , A_3)
  B المدخل : B_3)
- المجموع (A+B) : (S_0 , S_3)

نشاط 5 :

4008.ms13

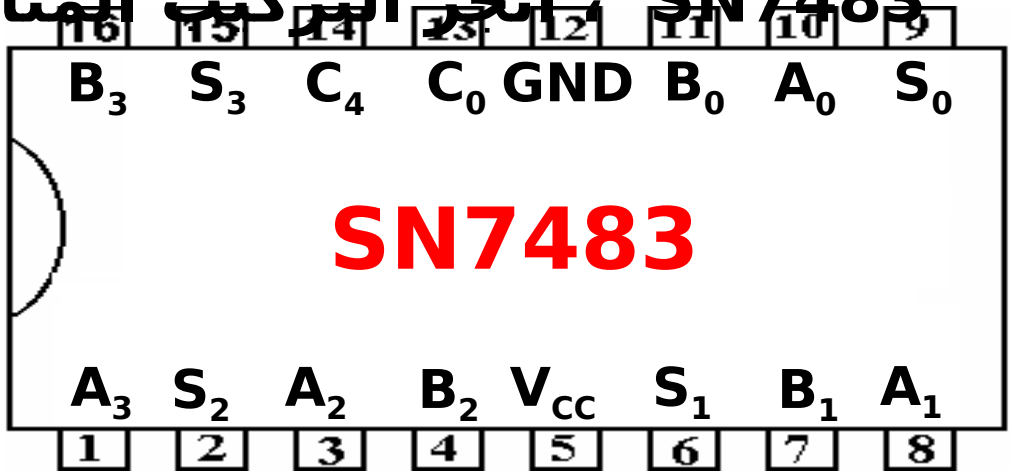
باستعمال البرنامج Multisim،
حقق التركيب القاعدي

نشاط 6 :

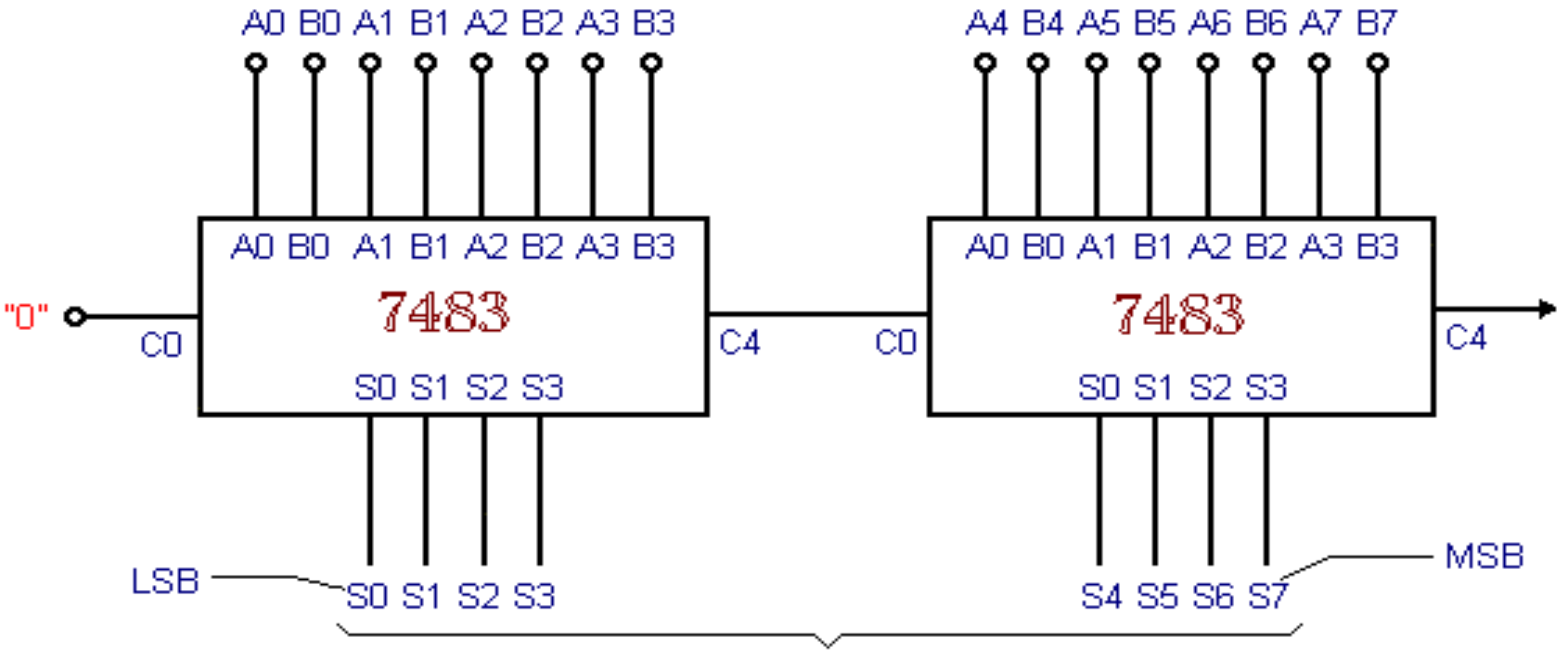
7483.ms13

باستعمال البرنامج Multisim:
نريد انجاز جامع بـ 8 أبيات بالدارة المدمجة SN7483 ، انجز التركيب المناسب

INPUTS			OUTPUTS	
C_0	A	B	C_4	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



- المدخل : (A_0 , A_3) ، (B_0 , A
المدخل B : B_3)
- المجموع (A+B) : (S_0 , S_3)
- الإحتفاظ : (C_4 , C_0)


A0 B0 A1 B1 A2 B2 A3 B3
A4 B4 A5 B5 A6 B6 A7 B7
A0 B0 A1 B1 A2 B2 A3 B3
7483
C0
C4
S0 S1 S2 S3
"0"
LSB
MSB
S4 S5 S6 S7

III / الطارح

نشاط 7 : من أجل نفس العددين السابقين :

$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

انجز التصميم الالكتروني الذي يمكننا من طرح b_2 من a_2:

الحل :

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

ب/ نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

جدول الحقيقة :

a_2	b_2	c_2	D_2
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

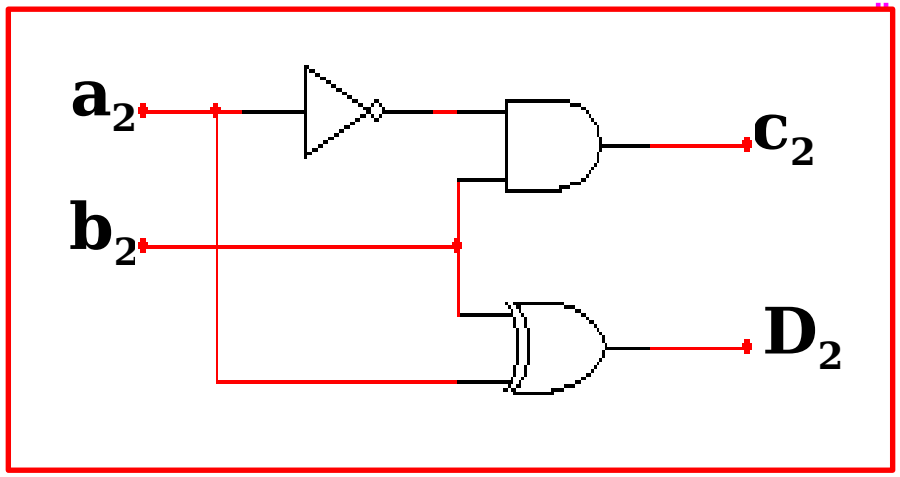
المعادلات :

$$D_2 = \bar{a}_2.b_2 + a_2.\bar{b}_2$$

$$D_2 = a_2 \oplus b_2$$

$$c_2 = \bar{a}_2 . b_2$$

التصميم المنطقي :



demi-sous.ms13

نسمي العملية السابق بالنصف طارح : و الذي يحقق الطرح المنطقي لعددين A و B من أجل بيت (Bit) واحد فقط بدون الأخذ بعين الاعتبار استعارة الرتبة السابقة

بصفة عامة :

ب/ نأخـــــذ بعيـــــن الاعتبار الاستعارة من الرتبة السابقة.

$$\begin{array}{cccc} a_4 & c_3 a_3 & c_2 a_2 & c_1 a_1 \\ - & & & \\ b_4 & b_3 & b_2 & b_1 \\ c_3 & c_2 & c_1 & c_0 = 0 \\ \hline D_4 & D_3 & D_2 & D_1 \end{array}$$

$$\begin{array}{c} a_i \\ - \\ b_i \\ \\ \hline c_{i-1} \\ \\ D_i \end{array}$$

جدول الحقيقة :

a_2	b_2	c_1	D_2	c_2
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

المعادلات :

D_2

a_2 \ b_2c_1	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$D_2 = \bar{a}_2(\bar{b}_2.c_1 + b_2.\bar{c}_1) + a_2(\bar{b}_2.\bar{c}_1 + b_2.c_1)$$

$$D_2 = a_2 \oplus b_2 \oplus c_1$$

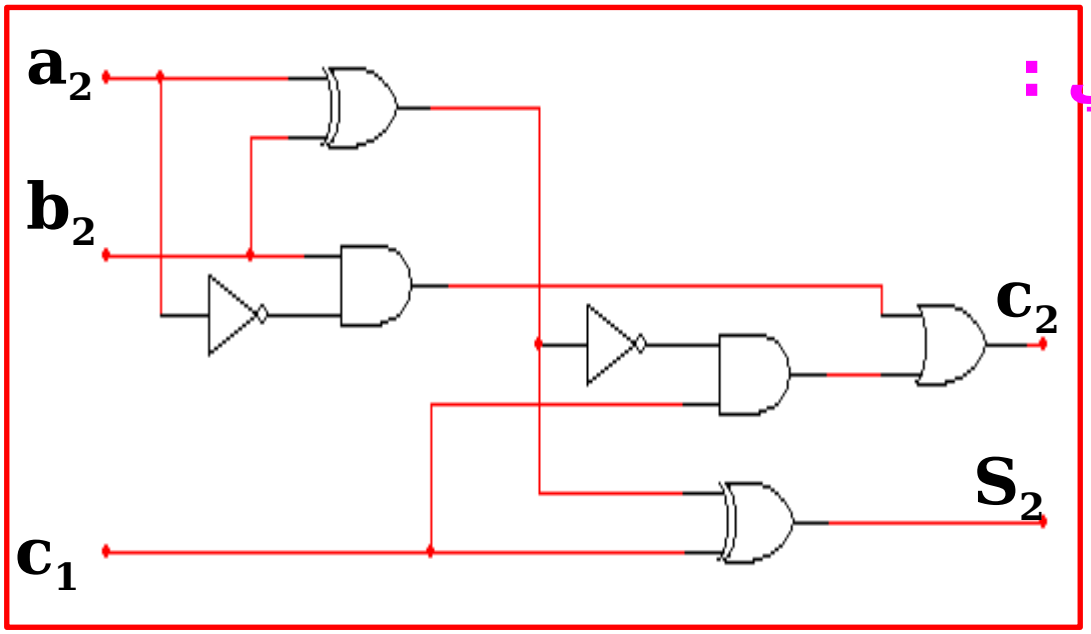
بالطريقة الجبرية نجد:

$$c_2 = \bar{a}_2.\bar{b}_2 c_1 + \bar{a}_2 b_2 \bar{c}_1 + a_2.b_2 c_1 + a_2.b_2 c_1$$

$$c_2 = \bar{a}_2 b_2(\bar{c}_1 + c_1) + c_1(\bar{a}_2.\bar{b}_2 + a_2.b_2)$$

$$c_2 = \bar{a}_2 b_2 + c_1\overline{(a_2 \oplus b_2)}$$

التصميم المنطقي :



sous-comp.ms13

نسمي العملية السابق بـالطارح الكامل : و الذي يحقق الطرح المنطقي لعددين A و B من أجل n بيت مع الأخذ بعين الاعتبار استعارة الرتبة السابقة بصفة عامة :